

Partial Translation of JP-A 9-186233

Part A (Page 4)

[0037]

Meanwhile, in one embodiment of the present invention mentioned above, an explanation is given in the case where a positive type resist is used. However, it is not limited to using a positive type resist. For example, in the case where a negative type resist is used according to reticle mask patterns, it is also possible to be applied.

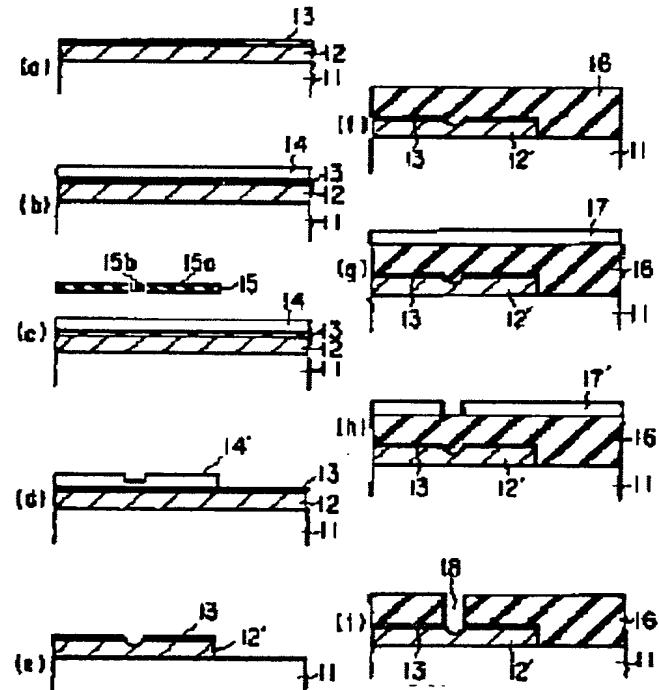
MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent number: JP9186233
Publication date: 1997-07-15
Inventor: YAHIRO KAZUYUKI; ITONAGA SHUJI; TOMITA KENICHI
Applicant: TOSHIBA CORP
Classification:
 - **international:** H01L21/768; H01L21/027
 - **european:**
Application number: JP19950341863 19951227
Priority number(s):

Abstract of JP9186233

PROBLEM TO BE SOLVED: To enable larger-scale integration in manufacturing a semiconductor device having a multilayer wiring structure.

SOLUTION: Manufacture of a semiconductor device includes the following processes. For instance, a resist film 14 formed via a TiN film 13 on an Al film 12 on the surface of an Si substrate 11 is PEP-treated using a reticle 15 having a mesh-like aperture portion 15b corresponding to a position for forming a through-hole 18. Using a resist pattern 14' as a mask which is formed by half-exposing the position for forming the through-hole 18, the Al film 12 is patterned to form an Al wiring 12'. Then, an interlayer insulating film 16 is formed on the entire surface, and the entire surface of a resist film 17 formed on the interlayer insulating film 16 is halfexposed and developed. Using a resist pattern 17' as a mask in which only the position for forming the through-hole 18 is exposed, the insulating film 16 is patterned to form the through-hole 18 which extends to the Al wiring 12'.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-186233

(43)公開日 平成9年(1997)7月16日

(51)Int.Cl.

H01L 21/768
21/027

識別記号

序内整理番号

F I

H01L 21/80
21/30

技術表示箇所

A
674

審査請求 未請求 求求項の数6 O L (全5頁)

(21)出願番号

特願平7-341863

(22)出願日

平成7年(1995)12月27日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区坂川町72番地

(72)発明者 八尋 和之

株式会社東芝多摩川工場内

(72)発明者 糸永 修司

福岡県北九州市小倉北区下到津1丁目10番
1号 株式会社東芝北九州工場内

(72)発明者 富田 錠一

株式会社東芝多摩川工場内

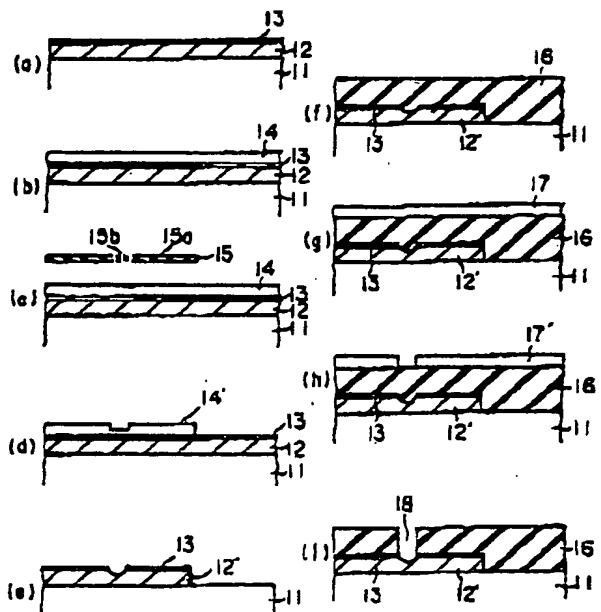
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 本発明は、多層配線構造を有する半導体装置の製造において、より一層の高集成化を図ることができるようすることを最も主要な特徴とする。

【解決手段】 たとえば、S-I基板11の表面のA1膜12上にT-I-N膜13を介して形成されたレジスト膜14を、スルーホール18の形成位置に応じてメッシュ状の開孔部15aが設けられたレテクル15を用いてP-E-P処理する。そして、スルーホール18の形成位置がハーフ露光されてなるレジストパターン14'をマスクに、A1膜12をバーニングしてA1配線12'を形成する。この後、全面に層間絶縁膜16を形成し、その上に形成されたレジスト膜17を全面ハーフ露光および現像処理する。そして、スルーホール18の形成位置のみが露光されたレジストパターン17'をマスクに絶縁膜16をバーニングして、A1配線12'につながるスルーホール18を形成する各工程からなっている。



【特許請求の範囲】

【請求項1】 基板の表面に配線用の金属膜を形成する工程と、

前記金属膜上に反射防止膜を形成する工程と、

前記反射防止膜上に第1のレジスト膜を形成する工程と、

前記第1のレジスト膜に対して、配線接続孔の位置にハーフトン指定された開孔部を有するレチクルを用いて露光、現像処理を行って第1のレジストパターンを形成する工程と、

前記第1のレジストパターンをマスクに前記金属膜をパターニングして金属配線を形成する工程と、

この後、全面に層間絶縁膜を形成する工程と、

前記絶縁膜上に第2のレジスト膜を形成する工程と、

前記第2のレジスト膜に対して第2の露光、現像処理を行って第2のレジストパターンを形成する工程と、

前記第2のレジストパターンをマスクに前記絶縁膜をパターニングして、前記金属配線につながる配線接続孔を形成する工程とからなることを特徴とする半導体装置の製造方法。

【請求項2】 前記第1、第2のレジスト膜としては、ポジ型レジストが用いられることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 前記レチクルは、開孔部がメッシュ状に形成されてなることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項4】 前記金属配線を形成する工程は、前記レチクルの開孔部の位置に対応する前記反射防止膜を選択的に除去する工程を含むものであることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項5】 前記第2のレジストパターンを形成する工程における第2の露光、現像処理は、レチクルを用いない全面ハーフ露光であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項6】 前記全面ハーフ露光は、前記反射防止膜が除去された位置の前記第2のレジスト膜のみを選択的に露光するものであることを特徴とする請求項5に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、たとえば多層配線構造を有する半導体装置の製造方法に関するもので、特に、下層配線と上層配線とを接続するスルーホール配線の形成に用いられるものである。

【0002】

【従来の技術】従来、半導体装置における集成度を増加する方法として、多層配線構造が知られている。図3は、従来の、多層配線構造を有する半導体装置の製造プロセスを概略的に示すものである。

【0003】たとえば、S1基板1の表面にA1膜2を

形成し、そのA1膜2上にT1N膜3を積層する(同図(a))。そのT1N膜3上にポジ型レジスト膜を形成し、PEP処理、つまりレジスト膜をレチクル4を用いて露光、現像することにより、レジストパターン5を形成する(同図(b))。

【0004】そして、そのレジストパターン5にしたがって上記A1膜2をRIE法により選択的にエッティングし、第1層目(下層)のA1配線2'を形成する(同図(c))。

【0005】次いで、上記レジストパターン5を剥離した後、全面に層間絶縁膜6を成膜し(同図(d))。さらに、ポジ型レジスト膜を形成し、それをレチクル7を用いて露光、現像することにより、レジストパターン8を形成する(同図(e))。

【0006】そして、そのレジストパターン8にしたがって上記絶縁膜6および上記T1N膜3を選択的にエッティングし、上記A1配線2'につながるスルーホール9を開孔する(同図(f))。

【0007】しかる後、上記スルーホール9内への配線材料の埋め込み(スルーホール配線の形成)、および、上記絶縁膜6上への第2層目の配線の形成を行うことにより、二層の多層配線構造が実現される。

【0008】しかしながら、上記した従来の製造方法においては、スルーホール9のA1配線2'との位置ずれを考慮して、スルーホール9の形成位置におけるA1配線2'を合わせ余裕をもって形成しなければならず、これが高集成化の妨げとなっていた。

【0009】図4は、上記の半導体装置の製造において使用されるレチクルの概略を示すものである。なお、同図(a)はA1配線2'を形成するためのレジストパターン5の形成に用いられるレチクル4の平面図であり、同図(b)はスルーホール9を形成するためのレジストパターン8の形成に用いられるレチクル7の平面図である。

【0010】上記レチクル4は、スルーホール9を形成する際のレチクル7の合わせずれのため、スルーホール9の形成位置に対応する部分4aが広くなっている。上記レチクル7は、スルーホール9の形成位置に対応して開孔部7aが設けかれている。

【0011】このように、従来は、レチクル4、7をそれぞれに用いてA1配線2'の形成とスルーホール9の形成とを別々のPEPにより行うものであったため、レチクル7の合わせずれによるスルーホール9のA1配線2'との位置ずれは避けられない。

【0012】従来は、この位置ずれをスルーホール9の形成位置におけるA1配線2'を大きく形成することで防ぐようになっていたため、高集成化が妨げられるという問題があった。

【0013】

【発明が解決しようとする課題】上記したように、従来

においては、レチクルの含むせすれによるスルーホールのA1配線との位置ずれを考慮して、スルーホールの形成位置におけるA1配線を大きく形成しなければならず、これが高集成化の妨げとなっていた。

【0014】そこで、この発明は、配線接続孔の金属配線との位置ずれを防止でき、高集成化の向上を図ることが可能な半導体装置の製造方法を提供することを目的としている。

【0015】

【課題を解決するための手段】上記の目的を達成するために、この発明の半導体装置の製造方法にあっては、基板の表面に配線用の金属膜を形成する工程と、前記金属膜上に反射防止膜を形成する工程と、前記反射防止膜上に第1のレジスト膜を形成する工程と、前記第1のレジスト膜に対して、配線接続孔の位置にハーフトーン指定された開孔部を有するレチクルを用いて第1の露光、現像処理を行って第1のレジストパターンを形成する工程と、前記第1のレジストパターンをマスクに前記金属膜をバーニングして金属配線を形成する工程と、この後、全面に層間絶縁膜を形成する工程と、前記絶縁膜上に第2のレジスト膜を形成する工程と、前記第2のレジスト膜に対して第2の露光、現像処理を行って第2のレジストパターンを形成する工程と、前記第2のレジストパターンをマスクに前記絶縁膜をバーニングして、前記金属配線につながる配線接続孔を形成する工程とからなっている。

【0016】この発明の半導体装置の製造方法によれば、金属配線の形成のためのレチクルを配線接続孔の形成のためのレチクルとしても兼用できるようになる。これにより、配線接続孔を形成するためのレチクルが必要になり、配線接続孔を形成する際のレチクルの含むせすれによる配線接続孔の金属配線との位置ずれを未然に回避することが可能となるものである。

【0017】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して説明する。図1は、本発明の実施の一形態にかかる、多層配線構造を有する半導体装置の製造プロセスを概略的に示すものである。

【0018】まず、S1基板11の表面にA1膜(金属膜)12を形成し、そのA1膜12上に反射防止膜としてのT1N膜13を積層する(同図(a))。A1膜12は、たとえば、1μmの膜厚で形成される。T1N膜13は、たとえば、700オングストロームの膜厚で形成される。

【0019】そのT1N膜13上に、ポジ型レジスト膜14を形成する(同図(b))。レジスト膜14は、たとえば、スピンドルコート法により回転数を3500rpmとして、2.0μm程度の膜厚で形成される。

【0020】この後、PEP処理、つまりレジスト膜14をレチクル15を用いて露光、現像することにより

(同図(c))、レジストパターン14'を形成する(同図(d))。

【0021】上記レチクル15は、たとえば、形成すべきA1配線の形状に応じたマスクパターン15aを有してなるとともに、そのパターン15a上のスルーホールの形成位置にメッシュ状の開孔部(ハーフトーン指定された開孔部)15bが形成されてなる構成とされている。なお、このレチクル15の詳細については、後述する。

【0022】この場合、たとえば、400msecの露光処理が行われることにより、上記レジスト膜14は、レチクル15のマスクパターン15aが存在しない光の照射された部分が現像処理によって完全に除去されるとともに、レチクル15の上記開孔部15bに対応する部分が一部分だけ除去される。

【0023】すなわち、レチクル15の上記開孔部15bに対応する部分の上記レジスト膜14は、その部分がハーフ露光された状態となり、完全には除去されずに残る。そして、そのレジストパターン14'にしたがって上記A1膜12をRIE法により選択的にエッティングして、第1層目(下層)のA1配線(金属配線)12'を形成する(同図(e))。

【0024】エッティングは、たとえば、エッティングガスに流量が20sec/cmのBC13と流量が60sec/cmのC12との混合ガスを用い、電力を200W、圧力を30mTorrとして行われる。

【0025】この場合、たとえば、上記A1膜12と上記レジスト膜14との選択比をほぼ2対1に設定しておくことにより、レジストパターン14'によって覆われていない部分の上記A1膜12はT1N膜13とともにすべて除去される。また、上記レジストパターン14'の一部分だけが除去された部分のT1N膜13は除去されるが、A1膜12は完全には除去されずに残る。

【0026】すなわち、A1膜12'においては、上記レチクル15のマスクパターン15aにしたがって加工されるとともに、上記レチクル15の開孔部15bに対応する部分、つまり、スルーホールの形成位置のT1N膜13だけがエッティングされて、その下のA1膜12が露出される。

【0027】次いで、全面に層間絶縁膜16を成膜する(同図(f))。さらに、その上にポジ型レジスト膜17を形成し、その全面をハーフ露光する(同図(g))。レジスト膜17は、たとえば、スピンドルコート法により回転数を3500rpmとして、2.0μm程度の膜厚で形成される。

【0028】この場合、レジスト膜17は、露光以下の光量、たとえば、200msec以下での露光処理が行われる。すなわち、200msec以下での露光処理が行われることにより、上記レジスト膜17は、上記T1N膜13が部分的に除去されてA1膜12'が露出さ

れた部分のみが完全に露光される。

【0029】これは、上記レジスト膜17の下の各層のコントラストの違いにより、コントラストの高い部分、つまり、上記A1配線12'の露出された部分だけが、そのA1配線12'からの反射光によって余計に露光されるためである。

【0030】そして、この露光後のレジスト膜17を現像処理することにより、レジストパターン17'を形成する(同図(h))。この結果、レジストパターン17'は、上記レジスト膜17の、上記A1配線12'の露出された部分だけが現像処理によって完全に除去され、それ以外の部分は残在されずに残る。

【0031】すなわち、上記レチクル15の開孔部15bに対応して、スルーホールの形成位置に対応する部分が開口されてなるレジストパターン17'が形成される。次いで、上記レジストパターン17'にしたがって上記絶縁膜18を選択的にエッティングし、上記A1配線12'につながるスルーホール(配線接続孔)18を開孔する(同図(i))。

【0032】しかる後、上記スルーホール18内へのA1やWなどの配線材料の埋め込み(スルーホール配線の形成)、および、上記絶縁膜18上への第2層目(上層)のA1配線の形成を行うことにより、二層の多層配線構造が実現される(図示せず)。

【0033】図2は、上記した、多層配線構造を有する半導体装置の製造において使用されるレチクル15の概略を示すものである。上記レチクル15は、たとえば、形成すべきA1配線12'の形状に応じたマスクパターン15aを有してなるとともに、そのパターン15a上のスルーホール18の形成位置に対応してメッシュ状の開孔部15bが形成されてなる構成とされている。

【0034】このメッシュ状の開孔部15bは、たとえば、形成すべきスルーホール18の形状に応じた形状を有して形成されている。このような構成のレチクル15を用いることにより、レジストパターン14'の形成時に、スルーホール18の形成位置に応じてレジスト膜14が半減された露光量により露光されることになる。この結果、スルーホール18を形成する場合において、レチクルを用いることなしに、スルーホール18をA1配線12'に対してセルフアラインにより形成することが可能となる。

【0035】したがって、スルーホール18を形成する際のレチクルの合わせずれによるスルーホール18のA1配線12'との位置ずれを未然に回避できるようになるため、スルーホール18のA1配線12'との位置ずれを考慮して、スルーホール18の形成位置におけるA1配線12'を合わせ余裕をもって形成する必要がなくなる分、高集積化が可能となる。

【0036】上記したように、A1配線の形成のためのレチクルをスルーホールの形成のためのレチクルとして

も兼用できるようにしている。すなわち、A1配線の形成に用いられるレチクルにメッシュ状の開孔部を設け、A1配線のバーニングのためのEEP時にスルーホールの形成位置をハーフ露光するようにしている。これにより、A1配線のバーニングと同時にセルフアラインによるスルーホールのバーニングが可能となるため、スルーホールを形成するためのレチクルが不要になり、スルーホールを形成する際のレチクルの合わせずれによるスルーホールのA1配線との位置ずれを未然に回避できるようになる。したがって、スルーホールのA1配線との位置ずれのための、スルーホールの形成位置におけるA1配線上の合わせ余裕を大きくとる必要がなくなり、その分、集積度を高めることができることが可能となるものである。

【0037】なお、上記した本発明の実施の一形態においては、ポジ型レジストを用いた場合について説明したが、これに限らず、たとえばレチクルのマスクパターンに応じてネガ型のレジストを使用する場合にも適用可能である。

【0038】また、二層の多層配線構造に限らず、たとえば、三層以上の多層配線構造を有する各種の半導体装置に適用できる。また、金属配線としてはA1配線によらず、たとえば、レジスト膜を全面ハーフ露光する際に、基板と反射防止膜とに對してコントラストに違いが生じる金属材料ならば同様に用いることができる。

【0039】さらに、配線間を接続するスルーホール以外の、たとえば、基板との接続に用いられるコンタクトホールなどの形成にも利用できる。その他、この発明の要旨を変えない範囲において、種々変形実施可能なことは勿論である。

【0040】

【発明の効果】以上、詳述したようにこの発明によれば、配線接続孔の金属配線との位置ずれを防止でき、高集積化の向上を図ることが可能な半導体装置の製造方法を提供できる。

【図面の簡単な説明】

【図1】この発明の実施の一形態にかかる、多層配線構造を有する半導体装置の製造プロセスの要部を概略的に示す断面図。

【図2】同じく、多層配線構造を有する半導体装置の製造において使用されるレチクルの概略を示す平面図。

【図3】従来技術とその問題点を説明するために示す、多層配線構造を有する半導体装置の製造プロセスの概略断面図。

【図4】同じく、従来の半導体装置の製造において使用されるレチクルの概略を示す平面図。

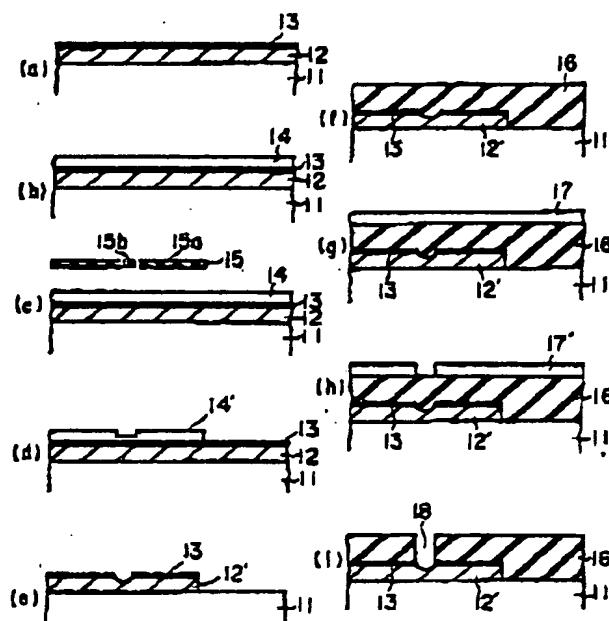
【符号の説明】

11…S1基板、12…A1膜(金属膜)、12'…A1配線(金属配線)、13…TIN膜(反射防止膜)、14…ポジ型レジスト膜(第1のレジスト膜)、14'

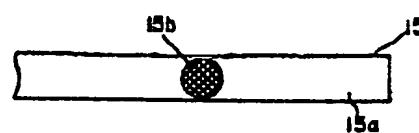
…レジストパターン（第1のレジストパターン）、15
…レチクル、15a…マスクパターン、15b…開孔部、16…層間絶縁膜、17…ポジ型レジスト膜（第2

のレジスト膜）、17'…レジストパターン（第2のレジストパターン）、18…スルーホール（配線接続孔）。

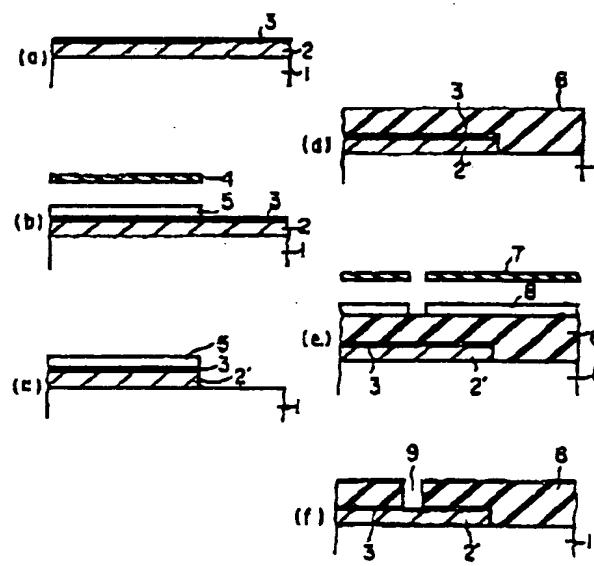
【図1】



【図2】



【図3】



【図4】

